

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-269003

(43)Date of publication of application : 29.09.2000

(51)Int.Cl.

H01C 7/10

(21)Application number : 11-071727

(71)Applicant : MARCON ELECTRONICS CO LTD

(22)Date of filing : 17.03.1999

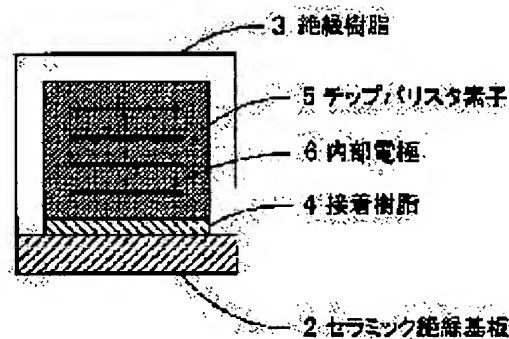
(72)Inventor : MATSUDA KIYOSHI

## (54) CERAMIC VARISTOR AND ITS MANUFACTURE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a superior structure which can prevent the occurrence of short circuits between external electrodes by forming a high-quality insulating layer which can be formed efficiently with accuracy, on the surface of a ceramic chip varistor element except for an external electrode section.

**SOLUTION:** Of a four faces of a chip varistor excepting an external electrode section, one surface for surface mounting is constituted of a ceramic insulating substrate 2 and the other three surfaces are constituted of an insulating resin 4. At the manufacturing of the chip varistor, first an adhesive resin 4 is printed on the insulating substrate 2, and a chip varistor element 5 is fixed on the insulating substrate 2 with the resin 4. Then, after a molded epoxy resin body maintained in a state between uncured state and semicured state and having a U-shaped cross section is put on the varistor element 5, the molded body is stuck to the element 5 and cured. Successively, individual elements with surface insulating layers are formed by separating the insulating substrate 2 and external electrodes containing plated layers formed through a wet type method are formed on the elements.



## LEGAL STATUS

[Date of request for examination] 14.06.2001

[Date of sending the examiner's decision of rejection] 10.12.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

**Japan Patent Office is not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] The ceramic varistor characterized by forming the 1st for surface mounts of the 4th page except the field which forms the aforementioned external electrode in the field of a couple where a rectangular parallelepiped configuration counters from a ceramic insulating substrate in the ceramic varistor for surface mounts which has an external electrode containing the plating layer formed by the wet method, and forming other 3rd page in it from an insulating resin.

[Claim 2] The adhesion resin presswork which prints an adhesion resin on a ceramic insulating substrate in the method of manufacturing a ceramic varistor according to claim 1, The element fixing process which fixes a chip-varistor element on the aforementioned ceramic insulating substrate through the aforementioned adhesion resin, The insulating resin adhesion process which carries out adhesion solidification after putting the insulating resin molding object of the cross-section KO typeface from the state where it does not harden to a semi-hardening state on the chip-varistor element which fixed on the aforementioned ceramic insulating substrate, The manufacture method of the ceramic varistor characterized by having the insulating-substrate partition stage which separates the aforementioned ceramic insulating substrate and forms each element with a surface insulating layer, and the external electrode formation process which forms the external electrode containing the plating layer formed in the aforementioned element with a surface insulating layer by the wet method.

[Claim 3] Use the ceramic insulating substrate in which the cutting plane line which is in agreement with a predetermined cut size beforehand was formed in the aforementioned adhesion resin presswork, and it sets at the aforementioned element fixing process. Use the chip-varistor element in which the ground electrode layer was formed beforehand, and it sets to the aforementioned insulating-substrate partition stage. According to the aforementioned cutting plane line, separate the aforementioned ceramic insulating substrate, form each element with a surface insulating layer, and it sets at the aforementioned external electrode formation process. The manufacture method of the ceramic varistor according to claim 2 characterized by forming a solder plating layer by making nickel layer into a ground on this conductive resin electrode layer after forming a conductive resin electrode in the end face for external electrode formation of the aforementioned element with a surface insulating layer.

---

[Translation done.]

## \* NOTICES \*

**Japan Patent Office is not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[The technical field to which invention belongs] this invention relates to an improvement of the surface insulation-ized method in the ceramic chip varistor for surface mounts especially about the ceramic varistor which makes a zinc oxide a principal component.

[Description of the Prior Art] The external electrode of the viewpoint the solder wettability at the time of a surface mount and solder heat-resistant to surface mounting type electronic parts has the type in use which performed electrolysis plating of nickel layer and a solder layer to the ground electrode layer. However, in the case of the ceramic varistor which makes a zinc oxide a principal component, it may originate in performing electrolysis plating and external inter-electrode one may connect too hastily. That is, since the ceramic element itself is a semiconductor, in case nickel layer and a solder layer are formed in a ground electrode layer with electrolysis plating, a plating layer will be formed in the whole front face of not only the range of the external polar zone but the exposed ceramic element, and external inter-electrode one may connect too hastily. In the case of the ceramic varistor which makes a zinc oxide a principal component, it is necessary to insulation-ize front faces other than the external polar zone for such a reason. Conventionally, as the method of such insulation-izing, either of the two methods of printing the following insulating materials generally and forming an insulating layer is adopted. One is the method of calcinating an insulating glass paste after printing in the insulation-ized section, and forming an insulating glass layer. Moreover, an option is the method of hardening in the insulating section and forming an insulating resin layer in it after printing an insulation-ized resin.

[Problem(s) to be Solved by the Invention] However, print quality maintenance is difficult for each conventional insulation-ized method which prints an insulating material which was mentioned above and forms an insulating layer as a man day starts each of the 4 sides other than the external polar zone of a ceramic element since printing work is required, and a chip size is miniaturized. On the other hand, in order to perform efficiently baking of an insulating glass layer, and hardening of an insulating resin layer, it is necessary to arrange a ceramic element quickly and to support it with a support fixture. However, improvement in the speed of such arrangement of a ceramic element will raise possibility of reducing the quality of the insulating layer formed, in order that the printing application side of a ceramic element may raise possibility of contacting inconvenient to a support fixture. Therefore, in the method using printing of such an insulation-ized material, it is difficult to carry out mass-production formation of a quality insulating glass layer or the insulating resin layer efficiently. It is offering the outstanding structure which can prevent an external inter-electrode short circuit by being proposed in order that this invention may solve the trouble of the above conventional technology, and forming the quality insulating layer which it can be [ that the one purpose is efficient on front faces other than the external polar zone of the ceramic chip-varistor element which makes a zinc oxide a principal component, and ] accurate, and can be formed. Another purpose is offering the outstanding method of forming with an efficient and sufficient precision for such a quality insulating layer.

[Means for Solving the Problem] The ceramic varistor concerning this invention is characterized by constituting a surface insulating layer with a ceramic insulating substrate and an insulating resin in the ceramic varistor for surface mounts which has an external electrode containing the plating layer formed in the field of a couple where a rectangular parallelepiped configuration counters by the wet method. That is, the 1st for surface mounts of the 4th page except the field which forms an external electrode is formed from a ceramic insulating substrate, and other 3rd page is formed from an insulating resin. In this structure, the insulating layer of wrap high quality can be completely formed with an efficiently and sufficient precision for front faces other than the external polar zone of a ceramic varistor with a ceramic insulating substrate and an insulating resin. Moreover, osmosis of the plating liquid at the time of plating can be prevented by the insulating layer formed in this way. Therefore, since an excessive plating layer is not formed in any front faces other than the external electrode of a ceramic varistor, generating of the external inter-electrode short

circuit resulting from such an excessive plating layer can be prevented. In the manufacture method of the ceramic varistor concerning this invention, first, an adhesion resin is printed on a ceramic insulating substrate (adhesion resin presswork), and a chip-varistor element is fixed on a ceramic insulating substrate through this adhesion resin (element fixing process). Next, adhesion solidification is carried out after putting the insulating resin molding object of the cross-section KO typeface from the state where it does not harden to a semi-hardening state on the chip-varistor element which fixed on the ceramic insulating substrate (insulating resin adhesion process). Then, the external electrode containing the plating layer which separated the ceramic insulating substrate, formed each element with a surface insulating layer (insulating-substrate partition stage), and was formed in this element with a surface insulating layer by the wet method is formed (external electrode formation process). This manufacture method is a very easy method of putting the molding resin of a cross-section KO typeface, and can cut down a man day sharply. Moreover, a molding resin can secure sufficient precision, even if a chip size is miniaturized with high precision, since it is producible. Furthermore, by the method of putting a molding resin, only the part from which the hardening latency time like [ in the case of printing an insulating material ] becomes unnecessary can carry out mass-production formation of the insulating layer efficiently.

[Embodiments of the Invention] Below, the gestalt of concrete operation of the ceramic varistor concerning this invention and its manufacture method is explained with reference to a drawing.

[Structure] drawing 1 is the perspective diagram showing the outline of the structure of the ceramic chip varistor by this invention. When the X-axis is set as the minor axis which this chip varistor is a rectangular parallelepiped configuration horizontally extended in appearance, and can be set horizontally and a Y-axis is set as a major axis, the external electrode 1 is formed in the end face of the both sides in the Y shaft orientations, respectively. And the 1st for surface mounts of the 4th page extended to Y shaft orientations other than the field in which these external electrodes 1 were formed consists of ceramic insulating substrates 2, and other 3rd page consists of insulating resins 3. Drawing 2 is the cross section of X shaft orientations of drawing 1. As shown in this drawing 2, on the ceramic insulating substrate 2, the chip-varistor element 5 is being fixed through the adhesion resin 4, and the circumference of this chip-varistor element 5 is covered by the insulating resin 3 in all the ranges except an insulation machine plate surface. In addition, six in drawing shows the internal electrode in the chip-varistor element 5. Drawing 3 is the cross section of Y shaft orientations of drawing 1. As shown in this drawing 3, although the composition of the ceramic insulating substrate 2, the adhesion resin 4, the chip-varistor element 5, and the insulating resin 3 is completely the same as the structure of X shaft orientations, the external electrode 1 is formed in the end face of the both sides in the structure of Y shaft orientations. Drawing 4 is the expanded sectional view of the A section in the external electrode 1 in drawing 3. As shown in this drawing 4, the ground silver electrode layer 11 is formed in the end face of the chip-varistor element 5. On this ground silver electrode layer 11, the whole end face including the ceramic insulating substrate 2, the adhesion resin 4, the chip-varistor element 5, and the insulating resin 3 is covered, and the conductive resin electrode layer 12 is formed. And the solder plating layer 14 is formed by making the nickel layer 13 into a ground on this conductive resin electrode layer 12. In the above structures, since front faces other than the external polar zone of the chip-varistor element 5 are completely worn with the ceramic insulating substrate 2 and the insulating resin 3, while being able to insulation-ize all front faces other than the external polar zone of the chip-varistor element 5, osmosis of the plating liquid at the time of plating can be prevented.

[Manufacturing process] The ceramic chip varistor which has the above structures is manufactured by printing of an adhesion resin, fixing of an element, adhesion of an insulating resin, separation of an insulating substrate, and a series of manufacturing processes called formation of an external electrode. That is, first, as shown in drawing 5, an alumina or other ceramic insulating substrates 2 are prepared, and the cutting plane line 21 beforehand made in agreement with a predetermined cut size is formed. On this ceramic insulating substrate 2, the adhesion resin 4 is screen-stenciled so that it may be in agreement with a chip-varistor element size (adhesion resin presswork). Next, as shown in drawing 6, alignment of the chip-varistor element 5 is carried out, it is put on the adhesion resin 4 on the ceramic insulating substrate 2, the adhesion resin 4 is stiffened, and the chip-varistor element 5 is fixed (element fixing process). In this case, the ground silver electrode layer 11 as shown in drawing 4 is beforehand formed in the chip-varistor element 5. Then, as shown in drawing 7, the epoxy resin molding object 31 of a cross-section KO typeface is put from the upper part in the state of un-hardening or semi-hardening to the chip-varistor element 5 which fixed on the ceramic insulating substrate 2. Here, the epoxy resin molding object 31 is cast so that it may be in agreement with the size of the chip-varistor element 5. Thus, after equipping with the resin molding object 31 of un-hardening or a semi-hardening state to the chip-varistor element 5, this is heated, the front face of the chip-varistor element 5 is made to carry out adhesion solidification of the resin, and the insulating resin 3 is formed in it (insulating resin adhesion process). In the stage where the insulating resin 3 was formed, as shown in drawing 8, the ceramic insulating substrate 2 is separated according to a cutting plane line 21 ( drawing 5 ), and the element 10 with a surface insulating layer is formed

(insulating-substrate partition stage). Next, the conductive resin electrode layer 12 as shown in drawing 4 is formed in the end face for external electrode formation of the element 10 with a surface insulating layer. In this case, since the ground silver electrode layer 11 is beforehand formed in the chip-varistor element 5, the conductive resin electrode layer 12 will be formed on this ground silver electrode layer 11. Then, the solder plating layer 14 ( drawing 4 ) is formed by making the nickel layer 13 into a ground with plating on the conductive resin electrode layer 12 of the chip-varistor element 5 (external electrode formation process). In this case, since front faces other than the external polar zone of the chip-varistor element 5 are completely worn with the ceramic insulating substrate 2 and the insulating resin 3 and osmosis of the plating liquid at the time of plating can be prevented, an excessive plating layer is not formed in any front faces other than the external polar zone of the chip-varistor element 5.

[Function and Effect] -- the external inter-electrode one which originates in such an excessive plating layer since an excessive plating layer is not formed in any front faces other than the external polar zone as mentioned above according to the structure and the manufacturing process of the ceramic chip varistor concerning the gestalt of this operation while being able to insulation-ize all front faces other than the external polar zone of the chip-varistor element 5 with the ceramic insulating substrate 2 and the insulating resin 3 -- simplistic -- generating can be prevented. On the other hand, the manufacturing process concerning the gestalt of this operation is a very easy method of putting the molding resin of a cross-section KO typeface on each of the 4 sides other than the external polar zone like before compared with the method of printing an insulating material, and can cut down a man day sharply. Moreover, a molding resin can secure sufficient precision, even if a chip size is miniaturized with high precision, since it is producible. Furthermore, although time to wait for hardening of the printed insulating material was required of the conventional method, by the method of putting a molding resin, only the part from which such the latency time becomes unnecessary can carry out mass-production formation of the insulating layer efficiently like this gestalt.

[Example] Below, an example in the case of actually producing the ceramic varistor of a predetermined size configuration according to this invention is explained. First, an alumina substrate with a thickness of 0.3mm is prepared, a cutting plane line is formed in the cut size of 5.5x5.0mm, a mask screen with a thickness of 0.15mm is used for this alumina substrate, and an adhesion resin is screen-stenciled in size of 5.5x4.0mm. In this case, the printing position is the core of a cut size. Moreover, a 5.5x4.0x3.0mm chip-varistor element is prepared, the ground silver electrode layer is formed beforehand, and this chip-varistor element is placed according to the printing position of an adhesion resin. After placing, it heats at 125 degrees C for 60 minutes, an adhesion resin is stiffened, and a chip-varistor element is fixed. On the other hand, on the other hand, an epoxy resin is cast, un-hardening [ of a cross-section KO typeface with 5.5x5.0x3.5mm / of dimensions / and an inner form size of 5.5x4.0x3.0mm ] or the semi-hardening epoxy resin molding object is prepared, and this epoxy resin Plastic solid is put on the chip-varistor element on an alumina substrate. By heating at 150 degrees C in this state for 60 minutes, it is made to stick to a chip-varistor element, stiffening an epoxy resin, and insulating resin sheathing is formed. In the stage where insulating resin sheathing was formed, an alumina substrate is cut along with a cutting plane line, and a cut chip (element with a surface insulating layer) is obtained. After carrying out the DIP application of the conductive epoxy resin and drying to the electrode end face of this cut chip, heat for 60 minutes, it is made to harden at 180 degrees C, and a conductive resin electrode layer is formed. Then, the solder plating layer 14 is formed in the external electrode side of this chip by making the nickel layer 13 into a ground by the wet galvanizing method, and the 5.7x5.0x4.0mm chip varistor for surface mounts is completed. In this case, from wearing completely the 4 sides other than the external polar zone of a chip-varistor element by the alumina substrate (ceramic insulating substrate) and the epoxy resin (insulating resin), as mentioned above, an excessive plating layer is not formed in any front faces other than the external polar zone of a chip-varistor element.

It is not limited to the ceramic varistor of the size [ which are the gestalt and example] of operation of others / [] configuration which showed the ceramic varistor of this invention to the aforementioned example, and as long as it is a varistor for surface mounts, it can apply like the ceramic varistor of various kinds of sizes and various kinds of voltage at reference current, and the similarly excellent effect is acquired. Furthermore, according to the ceramic varistor which it is not limited to the manufacturing process mentioned above, and is produced also about the concrete manufacturing process of a varistor, it is freely selectable. That is, it can manufacture on various processing conditions using various kinds of ceramic insulating substrates, insulating resin material, and an external electrode material.

[Effect of the Invention] Since the insulating layer of wrap high quality is completely formed with a ceramic insulating substrate and an insulating resin in front faces other than the external polar zone of a chip-varistor element according to this invention as explained above, the outstanding ceramic varistor which can prevent an external inter-electrode short circuit can be offered. Moreover, according to the method of this invention, a ceramic varistor with such a quality insulating layer can be formed with an efficiently and sufficient precision by performing a series of manufacturing processes called adhesion resin printing, element fixing, insulating resin adhesion, insulating-substrate separation, and

external electrode formation.

---

[Translation done.]

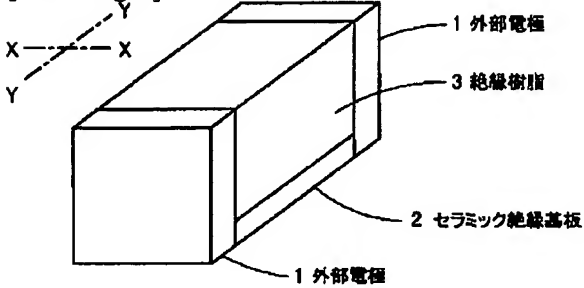
## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

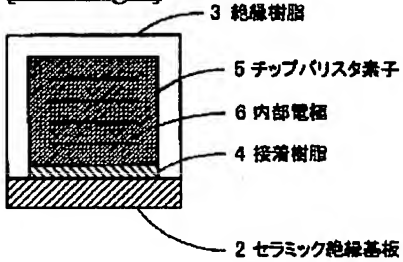
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DRAWINGS

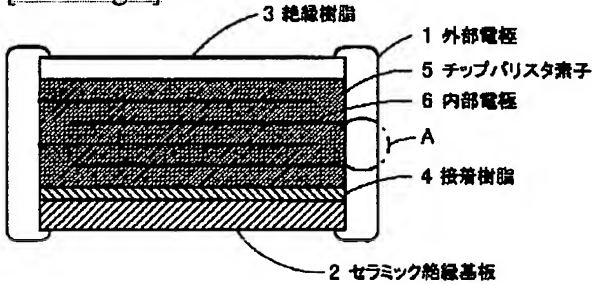
[Drawing 1]



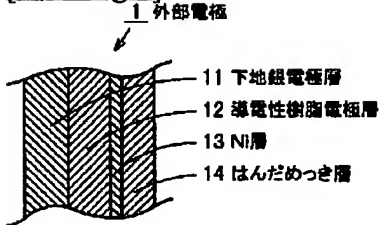
[Drawing 2]



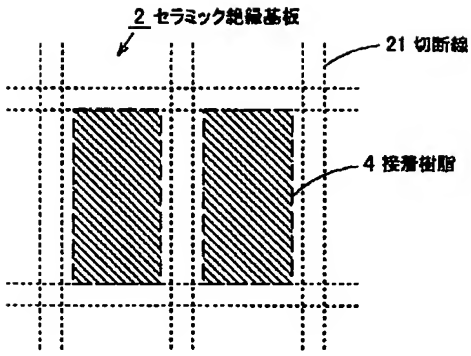
[Drawing 3]



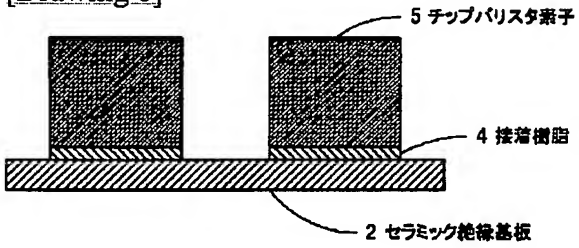
[Drawing 4]



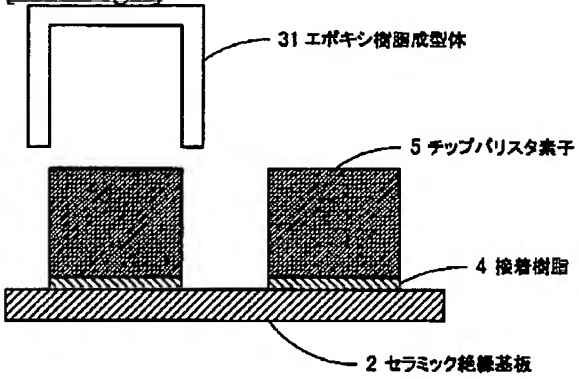
[Drawing 5]



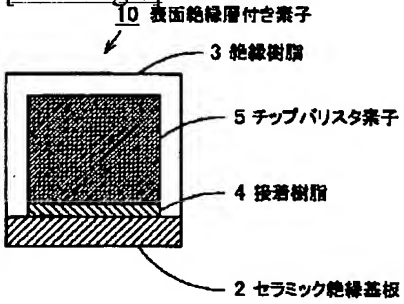
[Drawing 6]



[Drawing 7]



[Drawing 8]



[Translation done.]



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2000-269003

(P 2000-269003A)

(43) 公開日 平成12年9月29日 (2000.9.29)

(51) Int. Cl.<sup>7</sup>  
H01C 7/10

識別記号

F I  
H01C 7/10

テ-マコ-ド (参考)  
5E034

審査請求 未請求 請求項の数 3

O L

(全 5 頁)

(21) 出願番号 特願平11-71727  
(22) 出願日 平成11年3月17日 (1999.3.17)

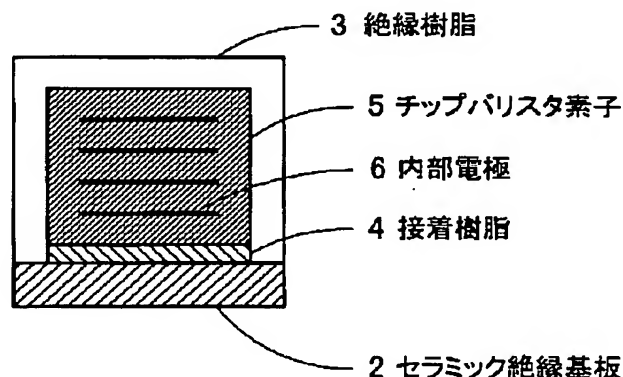
(71) 出願人 000113861  
マルコン電子株式会社  
山形県長井市幸町1番1号  
(72) 発明者 松田 清  
山形県長井市幸町1番1号 マルコン電子株  
式会社内  
Fターム (参考) 5E034 CA10 CB01 DA07 DB05 DB16  
DC01 DC03 DC05 DC09 DE16  
DE17 DE20

(54) 【発明の名称】 セラミックバリスタとその製造方法

(57) 【要約】

【課題】 セラミックチップバリスタ素子の外部電極部以外の表面に、効率的かつ精度よく形成可能な高品質の絶縁層を形成することにより、外部電極間の短絡を防止可能な優れた構造を提供する。

【解決手段】 チップバリスタにおいて、外部電極1部以外の4面のうち、表面実装用の1面がセラミック絶縁基板2から構成され、他の3面が絶縁樹脂3から構成される。チップバリスタの製造時にはまず、セラミック絶縁基板2上に接着樹脂4を印刷し、この接着樹脂4を介してセラミック絶縁基板2上にチップバリスタ素子5を固着する。次に、未硬化状態から半硬化状態の間にある断面コ字形のエポキシ樹脂成型体を、チップバリスタ素子5に被せた後、密着固化させる。続いて、セラミック絶縁基板2を分離して個々の表面絶縁層付き素子を形成し、この素子に湿式法により形成されためっき層を含む外部電極1を形成する。



## 【特許請求の範囲】

【請求項 1】 直方体形状の対向する一对の面に、湿式法により形成されためっき層を含む外部電極を有する、表面実装用のセラミックバリスタにおいて、前記外部電極を形成する面を除く 4 面のうち、表面実装用の 1 面がセラミック絶縁基板から形成され、他の 3 面が絶縁樹脂から形成されることを特徴とするセラミックバリスタ。

【請求項 2】 請求項 1 に記載のセラミックバリスタを製造する方法において、セラミック絶縁基板上に接着樹脂を印刷する接着樹脂印刷工程と、前記接着樹脂を介して前記セラミック絶縁基板上にチップバリスタ素子を固着する素子固着工程と、未硬化状態から半硬化状態の間にある断面コ字形の絶縁樹脂成型体を、前記セラミック絶縁基板上に固着されたチップバリスタ素子に被せた後、密着固化させる絶縁樹脂密着工程と、前記セラミック絶縁基板を分離して個々の表面絶縁層付き素子を形成する絶縁基板分離工程と、前記表面絶縁層付き素子に湿式法により形成されためっき層を含む外部電極を形成する外部電極形成工程を有することを特徴とするセラミックバリスタの製造方法。

【請求項 3】 前記接着樹脂印刷工程においては、予め所定のカット寸法に一致する切断線が形成されたセラミック絶縁基板を使用し、前記素子固着工程においては、予め下地電極層が形成されたチップバリスタ素子を使用し、前記絶縁基板分離工程においては、前記切断線に合わせて前記セラミック絶縁基板を分離して個々の表面絶縁層付き素子を形成し、前記外部電極形成工程においては、前記表面絶縁層付き素子の外部電極形成用の端面に導電性樹脂電極を形成した後、この導電性樹脂電極層上に Ni 層を下地としてはんだめっき層を形成することを特徴とする請求項 2 に記載のセラミックバリスタの製造方法。

## 【発明の詳細な説明】

【発明の属する技術分野】 本発明は、酸化亜鉛を主成分とするセラミックバリスタに関し、特に、表面実装用のセラミックチップバリスタにおける表面絶縁化方法の改善に関する。

【従来の技術】 表面実装時ののはんだ濡れ性やはんだ耐熱性の観点から、面実装タイプ電子部品の外部電極は、下地電極層に Ni 層とはんだ層の電解めっきを施したタイプが主流である。しかし、酸化亜鉛を主成分とするセラミックバリスタの場合には、電解めっきを施すことに起因して外部電極間が短絡する可能性がある。すなわち、セラミック素子自体が半導体であるため、下地電極層に Ni 層とはんだ層を電解めっきで形成する際に、外部電極部の範囲だけでなく、露出したセラミック素子の表面

全体にめっき層が形成されてしまい、外部電極間が短絡する可能性がある。このような理由により、酸化亜鉛を主成分とするセラミックバリスタの場合には外部電極部以外の表面を絶縁化する必要がある。従来、このような絶縁化の方法としては、一般的に次のような絶縁材料を印刷して絶縁層を形成する 2 つの方法のいずれかが採用されている。一つは、絶縁ガラスペーストを絶縁化部に印刷後、焼成して、絶縁ガラス層を形成する方法である。また、別の方法は、絶縁部に絶縁化樹脂を印刷後、硬化して、絶縁樹脂層を形成する方法である。

【発明が解決しようとする課題】 しかしながら、上述したような絶縁材料を印刷して絶縁層を形成する従来の絶縁化方法は、いずれも、セラミック素子の外部電極部以外の 4 側面の各々に印刷作業が必要であるため工数がかかり、また、チップサイズが小型化するにつれて印刷精度維持が困難である。一方、絶縁ガラス層の焼成や絶縁樹脂層の硬化を効率的に行うためには、支持治具によってセラミック素子を迅速に配置して支持する必要がある。しかし、このようなセラミック素子の配置の高速化は、セラミック素子の印刷塗布面が支持治具に不都合に接触する可能性を高めるため、形成される絶縁層の品質を低下させる可能性を高めることになる。したがって、このような絶縁化材料の印刷を用いた方法においては、高品質の絶縁ガラス層や絶縁樹脂層を効率的に量産形成することは困難である。本発明は、上記のような従来技術の問題点を解決するために提案されたものであり、その一つの目的は、酸化亜鉛を主成分とするセラミックチップバリスタ素子の外部電極部以外の表面に、効率的かつ精度よく形成可能な高品質の絶縁層を形成することにより、外部電極間の短絡を防止可能な優れた構造を提供することである。別の目的は、そのような高品質の絶縁層を効率的かつ精度よく形成可能な優れた方法を提供することである。

【課題を解決するための手段】 本発明に係るセラミックバリスタは、直方体形状の対向する一对の面に湿式法により形成されためっき層を含む外部電極を有する、表面実装用のセラミックバリスタにおいて、セラミック絶縁基板と絶縁樹脂によって表面絶縁層を構成したことを特徴としている。すなわち、外部電極を形成する面を除く 4 面のうち、表面実装用の 1 面がセラミック絶縁基板から形成され、他の 3 面が絶縁樹脂から形成される。この構造においては、セラミック絶縁基板と絶縁樹脂によりセラミックバリスタの外部電極部以外の表面を完全に覆う高品質の絶縁層を効率的かつ精度よく形成することができる。また、このように形成された絶縁層により、めっき時におけるめっき液の浸透を防止できる。したがって、セラミックバリスタの外部電極以外の表面に余分なめっき層が形成されることはないため、そのような余分なめっき層に起因する外部電極間の短絡の発生を防止することができる。本発明に係るセラミックバリスタの製

10

20

30

40

50

造方法においては、まず、セラミック絶縁基板上に接着樹脂を印刷し（接着樹脂印刷工程）、この接着樹脂を介してセラミック絶縁基板上にチップバリスタ素子を固着する（素子固着工程）。次に、未硬化状態から半硬化状態の間にある断面コ字形の絶縁樹脂成型体を、セラミック絶縁基板上に固着されたチップバリスタ素子に被せた後、密着固化させる（絶縁樹脂密着工程）。続いて、セラミック絶縁基板を分離して個々の表面絶縁層付き素子を形成し（絶縁基板分離工程）、この表面絶縁層付き素子に湿式法により形成されためっき層を含む外部電極を形成する（外部電極形成工程）。この製造方法は、断面コ字形の成型樹脂を被せるという極めて容易な方法であり、工数を大幅に削減できる。また、成型樹脂は高精度に作製可能であるため、チップサイズが小型化しても、十分な精度を確保できる。さらに、成型樹脂を被せる方法では、絶縁材料を印刷する場合のような硬化待ち時間が不要となる分だけ、絶縁層を効率的に量産形成することができる。

【発明の実施の形態】以下には、本発明に係るセラミックバリスタとその製造方法の具体的な実施の形態について、図面を参照して説明する。

【構造】図 1 は、本発明によるセラミックチップバリスタの構造の概略を示す斜視図である。このチップバリスタは、外観的には、水平方向に伸びる直方体形状であり、水平方向における短軸を X 軸、長軸を Y 軸とした場合に、その Y 軸方向における両側の端面に外部電極 1 がそれぞれ形成されている。そして、これらの外部電極 1 を形成した面以外の Y 軸方向に伸びる 4 面のうち、表面実装用の 1 面がセラミック絶縁基板 2 から構成され、他の 3 面が絶縁樹脂 3 から構成されている。図 2 は、図 1 の X 軸方向の断面図である。この図 2 に示すように、セラミック絶縁基板 2 上には、接着樹脂 4 を介してチップバリスタ素子 5 が固定されており、このチップバリスタ素子 5 の周囲は、絶縁基板面を除く全ての範囲で絶縁樹脂 3 に覆われている。なお、図中 6 はチップバリスタ素子 5 中の内部電極を示している。図 3 は、図 1 の Y 軸方向の断面図である。この図 3 に示すように、Y 軸方向の構造において、セラミック絶縁基板 2、接着樹脂 4、チップバリスタ素子 5、および絶縁樹脂 3 の構成は X 軸方向の構造と全く同じであるが、その両側の端面には外部電極 1 が形成されている。図 4 は、図 3 中の外部電極 1 における A 部の拡大断面図である。この図 4 に示すように、チップバリスタ素子 5 の端面には、下地銀電極層 11 が形成されている。この下地銀電極層 11 上には、セラミック絶縁基板 2、接着樹脂 4、チップバリスタ素子 5、および絶縁樹脂 3 を含めた端面全体に亘って導電性樹脂電極層 12 が形成されている。そして、この導電性樹脂電極層 12 上に、Ni 層 13 を下地としてはんだめっき層 14 が形成されている。以上のような構造においては、セラミック絶縁基板 2 と絶縁樹脂 3 によりチップ

バリスタ素子 5 の外部電極部以外の表面を完全に覆っているため、チップバリスタ素子 5 の外部電極部以外の表面を全て絶縁化することができると共に、めっき時におけるめっき液の浸透を防止できる。

【製造工程】以上のような構造を有するセラミックチップバリスタは、接着樹脂の印刷、素子の固着、絶縁樹脂の密着、絶縁基板の分離、外部電極の形成、という一連の製造工程によって製造される。すなわち、まず、図 5 に示すように、アルミナまたは他のセラミック絶縁基板 2 を用意し、予め所定のカット寸法に一致させた切断線 21 を形成しておく。このセラミック絶縁基板 2 上に、チップバリスタ素子寸法に一致するように接着樹脂 4 をスクリーン印刷する（接着樹脂印刷工程）。次に、図 6 に示すように、セラミック絶縁基板 2 上の接着樹脂 4 にチップバリスタ素子 5 を位置合わせして置き、接着樹脂 4 を硬化させてチップバリスタ素子 5 を固着する（素子固着工程）。この場合、チップバリスタ素子 5 には、図 4 に示すような下地銀電極層 11 を予め形成しておく。続いて、図 7 に示すように、セラミック絶縁基板 2 上に固着されたチップバリスタ素子 5 に対して、断面コ字形のエポキシ樹脂成型体 31 を、未硬化または半硬化の状態でその上方から被せる。ここで、エポキシ樹脂成型体 31 は、チップバリスタ素子 5 の寸法に一致するように成型しておく。このようにしてチップバリスタ素子 5 に対して未硬化または半硬化状態の樹脂成型体 31 を装着した後、これを加熱し、チップバリスタ素子 5 の表面に樹脂を密着固化させて、絶縁樹脂 3 を形成する（絶縁樹脂密着工程）。絶縁樹脂 3 が形成された段階で、図 8 に示すように、切断線 21（図 5）に合わせてセラミック絶縁基板 2 を分離して表面絶縁層付き素子 10 を形成する（絶縁基板分離工程）。次に、表面絶縁層付き素子 10 の外部電極形成用の端面に、図 4 に示したような導電性樹脂電極層 12 を形成する。この場合、チップバリスタ素子 5 には予め下地銀電極層 11 が形成されているため、この下地銀電極層 11 上に導電性樹脂電極層 12 が形成されることになる。続いて、チップバリスタ素子 5 の導電性樹脂電極層 12 上にめっきにより Ni 層 13 を下地としてはんだめっき層 14（図 4）を形成する（外部電極形成工程）。この場合、セラミック絶縁基板 2 と絶縁樹脂 3 によりチップバリスタ素子 5 の外部電極部以外の表面を完全に覆っていることから、めっき時におけるめっき液の浸透を防止できるため、チップバリスタ素子 5 の外部電極部以外の表面に余分なめっき層が形成されることはない。

【作用効果】以上のように、本実施の形態に係るセラミックチップバリスタの構造とその製造工程によれば、セラミック絶縁基板 2 と絶縁樹脂 3 によりチップバリスタ素子 5 の外部電極部以外の表面を全て絶縁化することができると共に、外部電極部以外の表面に余分なめっき層が形成されることはないため、そのような余分なめっき

層に起因する外部電極間の短絡の発生を防止することができる。一方、本実施の形態に係る製造工程は、従来のように、外部電極部以外の4側面の各々に絶縁材料を印刷する方法に比べて、断面コ字形の成型樹脂を被せるという極めて容易な方法であり、工数を大幅に削減できる。また、成型樹脂は高精度に作製可能であるため、チップサイズが小型化しても、十分な精度を確保できる。さらに、従来方法では、印刷した絶縁材料の硬化を待つ時間が必要であったが、本形態のように、成型樹脂を被せる方法では、そのような待ち時間が不要となる分だけ、絶縁層を効率的に量産形成することができる。

【実施例】以下には、本発明に従って所定の寸法形状のセラミックバリスタを実際に作製する場合の一例について説明する。まず、厚さ0.3mmのアルミナ基板を用意して、5.5×5.0mmのカット寸法に切断線を形成し、このアルミナ基板に、厚さ0.15mmのマスキングスクリーンを用いて接着樹脂を5.5×4.0mmの寸法にスクリーン印刷する。この場合、印刷位置はカット寸法の中心部である。また、5.5×4.0×3.0mmのチップバリスタ素子を用意して、予め下地銀電極層を形成しておき、このチップバリスタ素子を、接着樹脂の印刷位置に合わせて置く。置いた後、125℃で60分加熱し、接着樹脂を硬化させてチップバリスタ素子を固着する。その一方で、エポキシ樹脂を成型して、外形寸法5.5×5.0×3.5mm、内形寸法5.5×4.0×3.0mmの断面コ字形の未硬化または半硬化エポキシ樹脂成型体を用意しておき、このエポキシ樹脂成型体を、アルミナ基板上のチップバリスタ素子に被せる。この状態において150℃で60分加熱することで、エポキシ樹脂を硬化させながらチップバリスタ素子に密着させ、絶縁樹脂外装を形成する。絶縁樹脂外装が形成された段階で、アルミナ基板を切断線に沿ってカットし、カットチップ（表面絶縁層付き素子）を得る。このカットチップの電極端面に導電性エポキシ樹脂をディップ塗布し、乾燥した後、180℃で60分加熱して硬化させ、導電性樹脂電極層を形成する。この後、このチップの外部電極面に湿式めっき法によりNi層13を下地としてはんだめっき層14を形成し、5.7×5.0×4.0mmの表面実装用チップバリスタを完成する。この場合、アルミナ基板（セラミック絶縁基板）とエポキシ樹脂（絶縁樹脂）によりチップバリスタ素子の外部電極部以外の4側面を完全に覆っていることから、前述したように、チップバリスタ素子の外部電極部以外の表面に余分なめっき層が形成されることはない。

【他の実施の形態・実施例】なお、本発明のセラミックバリスタは、前記実施例に示した寸法形状のセラミックバリスタに限定されるものではなく、表面実装用のバリ

スタである限り、各種のサイズ、各種のバリスタ電圧のセラミックバリスタに同様に適用可能であり、同様に優れた効果が得られるものである。さらに、バリスタの具体的な製造工程についても、前述した製造工程に限定されるものではなく、作製するセラミックバリスタに応じて自由に選択可能である。すなわち、各種のセラミック絶縁基板、絶縁樹脂材料、外部電極材料を用いて、多様な処理条件で製造可能である。

【発明の効果】以上説明したように、本発明によれば、セラミック絶縁基板と絶縁樹脂によりチップバリスタ素子の外部電極部以外の表面を完全に覆う高品質の絶縁層が形成されるため、外部電極間の短絡を防止可能な優れたセラミックバリスタを提供することができる。また、本発明の方法に従い、接着樹脂印刷、素子固着、絶縁樹脂密着、絶縁基板分離、外部電極形成、という一連の製造工程を行うことにより、そのような高品質の絶縁層を持つセラミックバリスタを効率的かつ精度よく形成することができる。

#### 【図面の簡単な説明】

【図1】本発明によるセラミックチップバリスタの構造の概略を示す斜視図である。

【図2】図1のX軸方向の断面図である。

【図3】図1のY軸方向の断面図である。

【図4】図3中の外部電極1におけるA部の拡大断面図である。

【図5】図1のセラミックチップバリスタを製造する際の接着樹脂印刷工程を示す平面図である。

【図6】図5の工程に続く素子固着工程を示す側面図である。

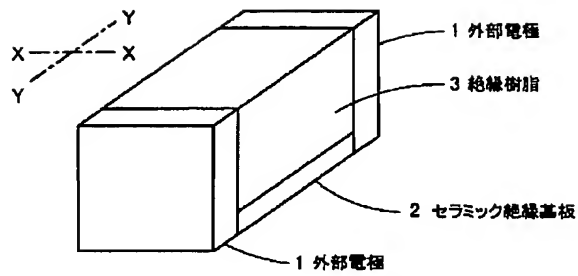
【図7】図6の工程に続く絶縁樹脂密着工程を示す側面図である。

【図8】図7の工程に続く絶縁基板分離工程を示す側面図である。

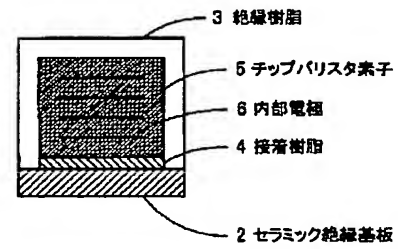
#### 【符号の説明】

- 1…外部電極
- 2…セラミック絶縁基板
- 3…絶縁樹脂
- 4…接着樹脂
- 5…チップバリスタ素子
- 6…内部電極
- 10…表面絶縁層付き素子
- 11…下地銀電極層
- 12…導電性樹脂電極層
- 13…Ni層
- 14…はんだめっき層
- 21…切断線
- 31…エポキシ樹脂成型体

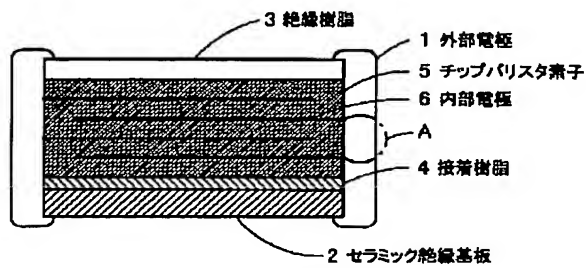
【図1】



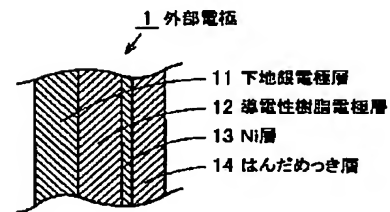
【図2】



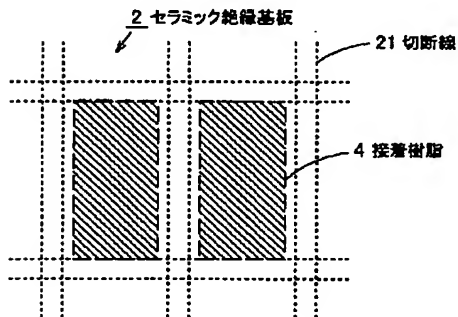
【図3】



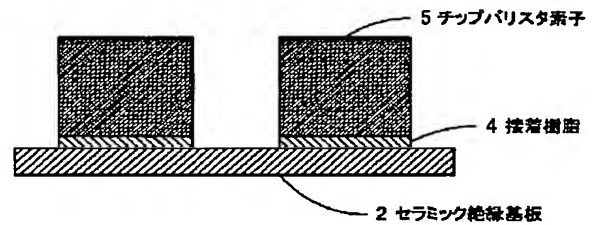
【図4】



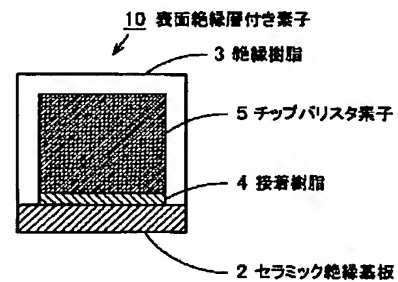
【図5】



【図6】



【図8】



【図7】

